

Control de inversores trifásicos PWM basado en FPGA

Aurelio García Cerrada, José Daniel Muñoz Frías, Fidel Fernández Bernal,
Pablo García González, Andrew Robertson

Escuela Técnica Superior de Ingeniería (ICAI). Universidad Pontificia Comillas Madrid.

Alberto Aguilera 23, 28015 Madrid

aurelio@iit.upco.es daniel@dea.icaui.upco.es fidel@des.icaui.upco.es pablo@dea.icaui.upco.es robertso@iit.upco.es

Resumen

El presente trabajo describe el desarrollo completo y la implantación de un sistema de modulación PWM mediante vector espacial para un inversor trifásico. Se presenta en primer lugar el algoritmo de cálculo de los tiempos en los que deben de conmutar cada una de las ramas del inversor. Este algoritmo debe tener en cuenta si la carga está conectada en estrella o en triángulo. Por último se describe un circuito coprocesador basado en una FPGA que permite liberar al microprocesador de las tareas de temporización y conmutación de las ramas del inversor. Este sistema se está empleando satisfactoriamente en el laboratorio para disparar los IGBT de un inversor trifásico usado como actuador en accionamientos controlados vectorialmente y en dispositivos FACTS para aplicaciones en sistemas de energía eléctrica.

1. Introducción

Existen en la actualidad un gran número de aplicaciones en las que es necesario controlar la tensión con la que se alimenta una carga trifásica de forma dinámica y precisa. La modulación mediante vector espacial permite situar el vector de tensión en cada instante en cualquier posición del plano d-q. Esto hace que esta técnica sea la más intuitiva para aplicaciones de control vectorial de máquinas eléctricas [1] o dispositivos FACTS [2].

En este trabajo se presenta en primer lugar un algoritmo de PWM basado en vector espacial, discutiéndose su aplicación a cargas conectadas en estrella y en triángulo. A continuación se describe un circuito coprocesador basado en una FPGA que permite la generación de los disparos del inversor con poca intervención por parte del microprocesador, que sólo ha de escribir al principio del periodo de muestreo los tiempos en los que han de cambiar cada una de las ramas del

Int. \ Modo	1	2	3	4	5	6	7	8
1	On	On	On	Off	Off	Off	On	Off
3	Off	Off	On	On	On	Off	On	Off
5	Off	On	Off	On	Off	On	On	Off

Tabla 1. Modos del inversor.

inversor. Por último se presentan los resultados experimentales obtenidos en un banco de ensayos.

2. Tensiones generadas por un inversor trifásico en ejes d-q.

En la Figura 1 se muestra un esquema simplificado de un inversor trifásico. En dicho inversor existen limitaciones en cuanto al estado de los interruptores: para evitar un cortocircuito no pueden estar cerrados al mismo tiempo los dos interruptores de una misma rama. Tampoco es conveniente dejar los dos interruptores de una rama abiertos ya que la tensión en la fase correspondiente de la carga estará indefinida. Debido a esto, existen tan solo ocho estados (modos) posibles del inversor y cada estado se puede identificar sabiendo la situación de un interruptor de cada rama. En la Tabla 1 se muestran los estados de tres interruptores (1, 3 y 5, Fig.1) para cada uno de los posibles modos del inversor.

Para cada uno de estos modos se obtiene una tensión de salida en cada una de las ramas del inversor. Si se alimenta con el inversor una carga equilibrada conectada en estrella, tal como se muestra en la Figura 2(a), las tensiones obtenidas en cada fase de la carga serán las mostradas en la Tabla 2. Para una carga equilibrada conectada en triángulo, según el esquema mostrado en la Figura 2(b), las tensiones por fase en la carga se muestran en la Tabla 3.

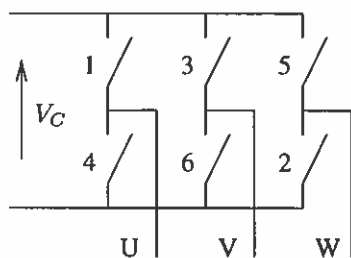


Figura 1. Inversor trifásico.

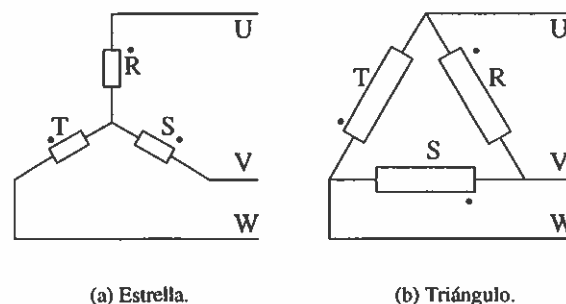


Figura 2. Conexión de la carga al inversor.

V_x / Modo	1	2	3	4	5	6	7	8
V_R	$\frac{2}{3}V_C$	$\frac{1}{3}V_C$	$\frac{1}{3}V_C$	$-\frac{2}{3}V_C$	$-\frac{1}{3}V_C$	$-\frac{1}{3}V_C$	0	0
V_S	$-\frac{1}{3}V_C$	$-\frac{2}{3}V_C$	$\frac{1}{3}V_C$	$\frac{1}{3}V_C$	$\frac{2}{3}V_C$	$-\frac{1}{3}V_C$	0	0
V_T	$-\frac{1}{3}V_C$	$\frac{1}{3}V_C$	$-\frac{2}{3}V_C$	$\frac{1}{3}V_C$	$-\frac{1}{3}V_C$	$\frac{2}{3}V_C$	0	0
u_d	$\sqrt{\frac{2}{3}}V_C$	$\frac{1}{\sqrt{6}}V_C$	$\frac{1}{\sqrt{6}}V_C$	$-\sqrt{\frac{2}{3}}V_C$	$-\frac{1}{\sqrt{6}}V_C$	$-\frac{1}{\sqrt{6}}V_C$	0	0
u_q	0	$-\frac{1}{\sqrt{2}}V_C$	$\frac{1}{\sqrt{2}}V_C$	0	$\frac{1}{\sqrt{2}}V_C$	$-\frac{1}{\sqrt{2}}V_C$	0	0

Tabla 2. Tensiones de fase y en ejes d-q para una carga conectada en estrella.

V_x / Modo	1	2	3	4	5	6	7	8
V_R	V_C	V_C	0	$-V_C$	$-V_C$	0	0	0
V_S	0	$-V_C$	V_C	0	V_C	$-V_C$	0	0
V_T	$-V_C$	0	$-V_C$	V_C	0	V_C	0	0
u_d	$\frac{\sqrt{6}}{2}V_C$	$\frac{\sqrt{6}}{2}V_C$	0	$-\frac{\sqrt{6}}{2}V_C$	$-\frac{\sqrt{6}}{2}V_C$	0	0	0
u_q	$\frac{\sqrt{2}}{2}V_C$	$-\frac{\sqrt{2}}{2}V_C$	$\sqrt{2}V_C$	$-\frac{\sqrt{2}}{2}V_C$	$\frac{\sqrt{2}}{2}V_C$	$-\sqrt{2}V_C$	0	0

Tabla 3. Tensiones de fase y en ejes d-q para una carga conectada en triángulo.

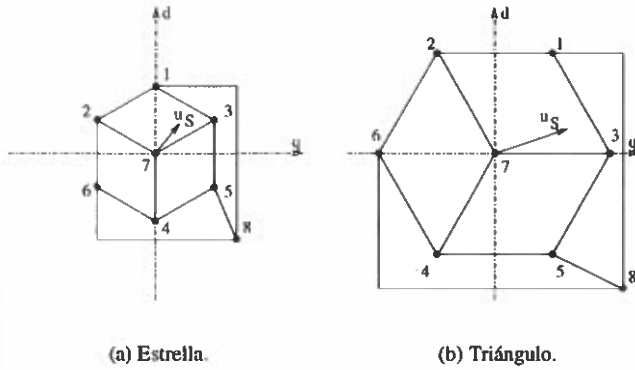


Figura 3. Tensiones generadas en ejes d-q.

Si a las tensiones trifásicas de arrollamiento se les aplica una transformada de Park invariante en potencia, con el eje d coincidente con la fase R, se obtienen las tensiones en ejes d-q mostradas en las Tablas 2 y 3. La transformación aplicada en ambos casos es bien conocida y viene dada por [1]:

$$\begin{bmatrix} u_o \\ u_d \\ u_q \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & \cos \frac{2\pi}{3} & \cos \frac{4\pi}{3} \\ 0 & \sin \frac{2\pi}{3} & \sin \frac{4\pi}{3} \end{bmatrix} \cdot \begin{bmatrix} U_R \\ U_S \\ U_T \end{bmatrix} \quad (1)$$

En las Figuras 3(a) y 3(b) se representan las tensiones en ejes d-q para cada modo del inversor. Cada punto representa el vector espacial de tensión generado en el modo correspondiente y las líneas que los unen representan los modos adyacentes¹. En el modo 8 la tensión aplicada por el inversor a la carga es cero, al igual que en el modo 7, por lo que a ambos se les denomina modos inactivos. Al resto de modos (1-6) se les denomina modos activos. El modo 8 se ha dibujado lejos

¹Se denominan modos adyacentes aquellos en los que sólo es necesario el cambio de estado de una rama para pasar de un modo al otro.

del origen para poder diferenciar qué modos son adyacentes al modo 7 y cuales lo son al 8. Nótese que ambas figuras están a la misma escala y que por tanto las tensiones producidas en la carga conectada en estrella son $\sqrt{3}$ veces menores que las producidas en la carga conectada en triángulo.

3. Generación de un vector espacial de tensión arbitrario.

Para generar un vector de tensión cualquiera (Por ejemplo u_s en la Fig. 3) es necesario conmutar el inversor entre varios modos durante un periodo de muestreo t_s , de forma que la media del vector de tensión en ejes d-q generado durante t_s coincida con el valor del vector que se desea generar. Sin embargo esta premisa da lugar a infinitas combinaciones de modos del inversor durante t_s . En [3] se presenta un método que permite minimizar el número de conmutaciones durante t_s : como cualquier vector que se desee generar estará siempre situado entre dos modos activos adyacentes a y b (1 y 3 en el ejemplo de la Fig. 3)², se puede generar el vector u_s aplicando durante un tiempo t_a el modo a (con lo que se aplica la tensión u_{Sa} a la carga) y durante un tiempo t_b el modo b (u_{Sb}), de forma que se cumpla:

$$t_s \cdot u_s = t_a \cdot u_{Sa} + t_b \cdot u_{Sb} \quad (2)$$

En general $t_a + t_b$ será menor que t_s , por lo que el tiempo sobrante ($t_s - t_a - t_b$) se reparte entre los dos modos inactivos. En los apéndices se muestran los cálculos detallados para los tiempos del inversor en función de la región en la que se encuentre el vector u_s , así como un algoritmo para determinar fácilmente en cual de las seis regiones posibles se encuentra dicho vector u_s .

Con objeto de minimizar el número de conmutaciones de los interruptores es necesario que las transiciones sean siempre entre modos adyacentes. Además es conveniente evitar las

²Se dice entonces que el vector u_s está en la región Rab (R13 en el ejemplo de la Fig. 3)

transiciones al inicio del periodo de muestreo para facilitar la adquisición de datos sin necesidad de complejos filtros para eliminar los ruidos de conmutación. Por tanto, en este trabajo siempre se empieza y se termina un periodo de muestreo con un modo inactivo.

4. Circuito temporizador basado en FPGA.

Según se ha expuesto anteriormente, para que el inversor aplique en cada periodo de muestreo la tensión correcta es necesario controlar las tres ramas del inversor para que permanezca durante un tiempo t_a en el modo a , durante t_b en el modo b y el resto del tiempo en los modos inactivos. Para conseguir esto es necesario controlar de forma precisa el tiempo en que conmutan cada una de las tres ramas; hecho que unido a la alta frecuencia de muestreo obliga al uso de *hardware* específico. Dicho *hardware* puede estar:

- integrado en el propio microprocesador.
- formado por temporizadores discretos LSI.
- formado por un dispositivo de lógica programable.

El primer caso es cada vez mas frecuente en la actualidad, ya que dado el auge de las aplicaciones de control PWM, muchos fabricantes incluyen unidades para generación de PWM trifásico en sus circuitos. Ejemplos de este tipo de microprocesadores son el Siemens C167 o el Texas Instruments TMS320F240. Sin embargo en ciertos casos los dispositivos anteriores no tienen la potencia de cálculo necesaria para la aplicación o son demasiado caros y poco flexibles para un entorno de investigación. En estos casos puede ser mas apropiado el uso de procesadores de propósito general (Pentium, TMS320C30...), lo que obligará al uso de *hardware* específico para la generación de las señales PWM. En esta situación el uso de lógica programable tiene como ventajas principales sobre el uso de componentes discretos un ahorro considerable de espacio en placa y una mayor flexibilidad para realizar modificaciones en el circuito, imprescindibles en un entorno de investigación.

4.1. Diagrama de bloques del circuito

En la figura 4 se muestra un diagrama de bloques simplificado del circuito de generación de PWM. Dicho circuito consta de un contador de 16 bits y cuatro comparadores asociados a cuatro registros, también de 16 bits, en los que se almacenan el periodo de muestreo t_s y los tiempos en los que debe cambiar de estado cada rama del inversor: t_u , t_v y t_w . Cuando el tiempo almacenado en alguno de estos registros coincide con el tiempo almacenado en el contador, el pulso originado en la salida del comparador hace cambiar de estado el *flip-flop* tipo T y por tanto también cambiará el estado de la rama correspondiente (SW1, SW3 o SW5)³. Cuando el contador llega al valor almacenado en el registro t_s se genera un pulso de interrupción al microprocesador, se reinicia el contador y se cargan los valores de los registros t'_s , t'_u , t'_v y t'_w en los registros t_s , t_u , t_v y t_w . Esta técnica de doble *buffer* permite que el procesador pueda escribir los tiempos del periodo

³Para simplificar el esquema sólo se han mostrado las salidas de los interruptores superiores de cada rama. El estado de los interruptores inferiores es simplemente el complementario de los superiores.

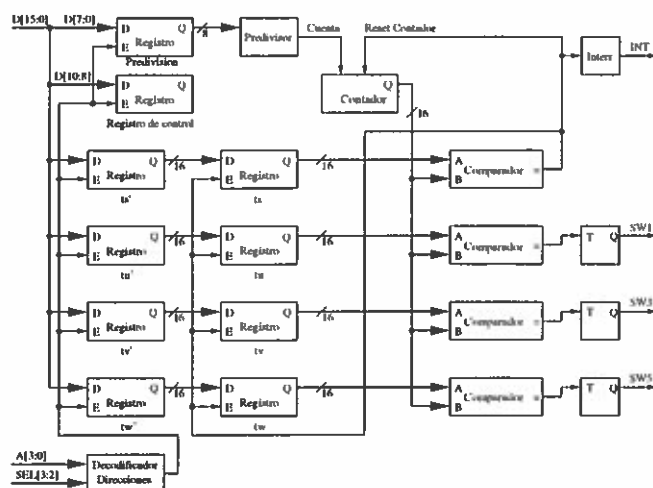


Figura 4. Diagrama de bloques del circuito.

de muestreo $k + 1$ durante todo el periodo k sin perturbar el funcionamiento del sistema. Además la interrupción genera da permite al microprocesador iniciar la rutina de control que medirá las variables del sistema, calculará los nuevos tiempos y los escribirá en el circuito; para lo que dispone de todo el periodo de muestreo k . La tensión calculada no se aplicará hasta el periodo $k + 1$ y por tanto es necesario compensar este retraso en el controlador si la frecuencia fundamental es alta.

El resto de componentes del sistema son un predivisor de 8 bits, útil en caso de que la frecuencia del reloj de entrada al circuito sea elevada y se desee generar una señal PWM con una baja frecuencia de conmutación⁴ y un registro de 8 bits para controlar el funcionamiento del circuito. Mediante estos bits de control se puede arrancar o parar la modulación, habilitar la generación de interrupciones o hacer que al parar la modulación se abran todos los interruptores o se sitúe el inversor en el modo inactivo 7, útil esto último para aplicaciones FACTS.

5. Resultados experimentales.

El algoritmo y el circuito descritos se han aplicado con éxito en el laboratorio para control vectorial de motores (inducción e imanes permanentes) y para controlar los inversores de un dispositivo FACTS. El circuito está basado en una FPGA XC4005 de XILINX, con una ocupación del 90 % del dispositivo. Se ha desarrollado una tarjeta que contiene la FPGA junto con unos optoacopladores para atacar los *drivers* de un inversor SKiiP de Semikron. Dicha tarjeta se conecta mediante el bus DSPLink a una tarjeta de DSP basada en un TMS320C30 o mediante una tarjeta adaptadora al bus ISA de un PC. La FPGA es la misma en ambos casos.

En la figura 5 se muestran las tensiones V_{RS} y V_{ST} aplicadas a la carga cuando el inversor genera una tensión senoidal de 50 Hz con un periodo de muestreo de 1 ms. En la figura

⁴Por ejemplo si el reloj de entrada del circuito es de 33 MHz, la mínima frecuencia de muestreo si no se usa el predivisor es de 503 Hz, la cual puede ser elevada en aplicaciones de alta potencia en las que el inversor esté construido con GTO's.

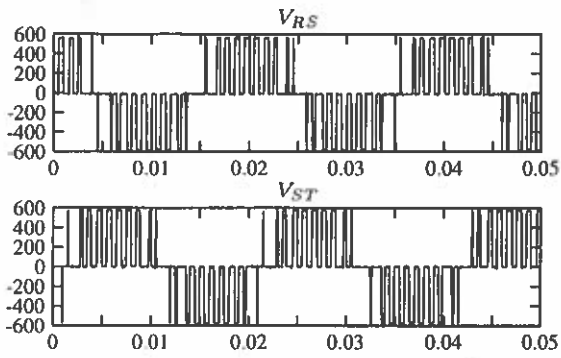


Figura 5. Tensiones en la carga. Eje x en seg. Ejes y en Voltios



Figura 6. Señales de disparo de los IGBT's e interrupción al Microprocesador. Eje x 0.5 ms/div. Eje y en 10 V/div

6 se muestran en detalle cuatro periodos de muestreo en el control del inversor, en donde se puede apreciar la secuencia de modos. Para identificar el principio del periodo se incluye en la gráfica la señal de interrupción (un pulso de nivel bajo), que se genera al finalizar la cuenta de t_s . Nótese que dado que se aplica la rutina de control cada t_s , el vector aplicado en cada periodo de muestreo es diferente, por lo que las ondas mostradas en la Figura 6 no tienen por qué ser simétricas, tal como puede apreciarse, sobre todo en la forma de onda del interruptor SW1.

A. Localización del vector u_s en una de las seis regiones del inversor.

Antes de calcular los tiempos que ha de estar el inversor en cada uno de los modos adyacentes entre los que se encuentra el vector a generar u_s , es necesario averiguar en cual de las seis zonas posibles del plano d-q delimitadas por los modos del inversor (Fig. 3) se encuentra el vector u_s . En el diagrama de flujo mostrado en la Figura 7 se presenta un algoritmo

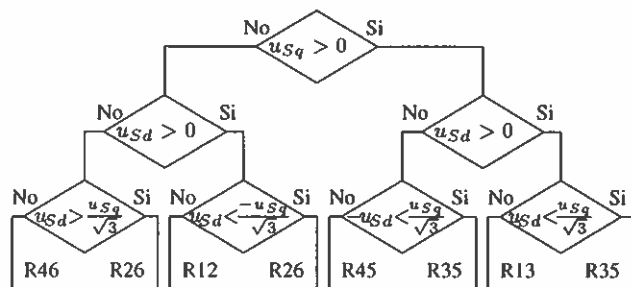


Figura 7. Selección de la región de u_s .

para situar el vector u_s en uno de los seis modos posibles en función de sus componentes en ejes d-q para una carga conectada en estrella. Para una carga conectada en triángulo el algoritmo es similar, pudiéndose deducir fácilmente a partir de la figura 3(b).

B. Cálculo de los tiempos para cargas conectadas en estrella.

Para calcular el tiempo en que ha de estar el inversor en cada uno de los modos a y b entre los que se encuentra el vector u_s que se desea generar, se parte de la ecuación (2), que se puede escribir en forma matricial como:

$$t_s \cdot u_s = \begin{bmatrix} u_{Sad} & u_{Sbd} \\ u_{Saq} & u_{Sbq} \end{bmatrix} \cdot \begin{bmatrix} t_a \\ t_b \end{bmatrix} = U \cdot \begin{bmatrix} t_a \\ t_b \end{bmatrix} \quad (3)$$

En donde (u_{Sad}, u_{Saq}) y (u_{Sbd}, u_{Sbq}) son las componentes de la tensiones generadas en los modos a y b (Tabla 2). Esta ecuación se puede transformar, multiplicando ambos miembros de la ecuación por U^{-1} en:

$$\begin{bmatrix} t_a \\ t_b \end{bmatrix} = t_s \cdot U^{-1} \cdot u_s \quad (4)$$

Aplicando la ecuación (4) en cada una de las regiones del inversor se obtienen los tiempos de cada modo en función de la tensión u_s que se desea generar, la tensión del circuito de continua V_C y del periodo de muestreo t_s :

- Región 1: $\begin{bmatrix} t_1 \\ t_3 \end{bmatrix} = \frac{t_s}{V_C \sqrt{2}} \cdot \begin{bmatrix} \sqrt{3} & -1 \\ 0 & 2 \end{bmatrix} \cdot \begin{bmatrix} u_{Sd} \\ u_{Sq} \end{bmatrix}$
- Región 2: $\begin{bmatrix} t_3 \\ t_5 \end{bmatrix} = \frac{t_s}{V_C \sqrt{2}} \cdot \begin{bmatrix} \sqrt{3} & 1 \\ -\sqrt{3} & 1 \end{bmatrix} \cdot \begin{bmatrix} u_{Sd} \\ u_{Sq} \end{bmatrix}$
- Región 3: $\begin{bmatrix} t_5 \\ t_4 \end{bmatrix} = \frac{t_s}{V_C \sqrt{2}} \cdot \begin{bmatrix} 0 & 2 \\ -\sqrt{3} & -1 \end{bmatrix} \cdot \begin{bmatrix} u_{Sd} \\ u_{Sq} \end{bmatrix}$
- Región 4: $\begin{bmatrix} t_4 \\ t_6 \end{bmatrix} = \frac{t_s}{V_C \sqrt{2}} \cdot \begin{bmatrix} -\sqrt{3} & 1 \\ 0 & -2 \end{bmatrix} \cdot \begin{bmatrix} u_{Sd} \\ u_{Sq} \end{bmatrix}$
- Región 5: $\begin{bmatrix} t_6 \\ t_2 \end{bmatrix} = \frac{t_s}{V_C \sqrt{2}} \cdot \begin{bmatrix} -\sqrt{3} & -1 \\ \sqrt{3} & -1 \end{bmatrix} \cdot \begin{bmatrix} u_{Sd} \\ u_{Sq} \end{bmatrix}$
- Región 6: $\begin{bmatrix} t_2 \\ t_1 \end{bmatrix} = \frac{t_s}{V_C \sqrt{2}} \cdot \begin{bmatrix} 0 & -2 \\ \sqrt{3} & 1 \end{bmatrix} \cdot \begin{bmatrix} u_{Sd} \\ u_{Sq} \end{bmatrix}$

Para obtener los tiempos de conmutación para una carga conectada en triángulo no hay más que crear las matrices de tensiones U de cada región usando las tensiones dadas en la Tabla 3 y aplicar entonces la ecuación (4).

Referencias

- [1] Aurelio García Cerrada. *Observer-based field-oriented controller for an inverter-fed traction induction motor drive*. PhD thesis, University of Birmingham, Julio 1991.
- [2] Pablo García González y Aurelio García Cerrada. Control system for a UPFC in a transmission line. En *IECON*, volumen 1, pag. 462-466, Aachen, September 1998.
- [3] A. Bellini, G. Figalli y G. Ulivi. A microcomputer based control system for an inverter supplying state feedback controlled induction motor. En *IFAC Control in Power Electronics and Electrical Drives*, pag. 531-537, Lausanne, 1983.